

NAND-NOR LOGIC CONVERTING CIRCUIT

Patent Number: JP61234623
Publication date: 1986-10-18
Inventor(s): ASAKAWA TAKESHI
Applicant(s): NEC IC MICROCOMPUT SYST LTD
Requested Patent: JP61234623
Application Number: JP19850076026 19850410
Priority Number(s):
IPC Classification: H03K19/20; H03K19/094
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain a NAND-NOR logic converting circuit, from which the number of circuit elements is reduced, by commonly using input circuit elements which are respectively made to correspond to plural logic input signals by its NAND section and NOR section.

CONSTITUTION:Logic input signals are impressed upon the 1st-3rd logic input signal inputting terminals IN1-IN3. When a logic switching input signal impressed upon a logic switching signal inputting terminal phi is high in potential, MOS transistors 23 and 25 are conducted and an output voltage, into which the logic of NOR is taken, is transmitted to an output terminal OUT. On the contrary, when the logic switching input signal is at the earth potential, the MOS transistors 23 and 25 are not conducted and another output voltage, into which the logic of NAND is taken, is transmitted to the output terminal OUT.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭61-234623

⑬ Int.Cl.⁴H 03 K 19/20
19/094

識別記号

庁内整理番号

6628-5J
8326-5J

⑭ 公開 昭和61年(1986)10月18日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 NAND-NOR論理変換回路

⑯ 特 願 昭60-76026

⑰ 出 願 昭60(1985)4月10日

⑱ 発 明 者 浅 川 毅 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内
⑲ 出 願 人 日本電気アイシーマイ 東京都港区芝5丁目7番15号
コンシステム株式会社
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

NAND-NOR 論理変換回路

2. 特許請求の範囲

(1) 複数の論理信号入力端子と、1つの論理切換信号入力端子と、1つの論理信号出力端子とを有し、前記論理切換信号の状態により、前記論理入力信号の組合せに対する NAND 論理と NOR 論理とを切換えて、出力する回路において、前記複数の論理信号入力端子のそれぞれに対する能動回路素子を NAND 論理と NOR 論理とで共用する事を特徴とする NAND-NOR 論理変換回路。

(2) 前記能動回路素子は、負荷素子の一端に接続された第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタの他端に接続された第3および第4のトランジスタと、前記第2および第3のトランジスタの各他端に接続さ

れた第5のトランジスタとを有し、前記第1および第5のトランジスタの入力電極は前記論理切換信号入力端子に接続され、前記第2、第3および第4のトランジスタの各入力電極はそれぞれ前記論理信号入力端子に接続されていることを特徴とする特許請求範囲第1項に記載の NAND-NOR 論理変換回路。

(3) 前記能動回路素子は負荷素子の一端に接続された第6のトランジスタおよび第7のトランジスタと、該第6のトランジスタおよび第7のトランジスタの各他端間に接続された第8のトランジスタと、前記第6のトランジスタの前記他端に接続された第9のトランジスタと、前記第7のトランジスタの前記他端に接続された第10のトランジスタとを有し、前記第6および前記第10のトランジスタの入力電極は前記論理切換信号入力端子に接続され、前記第8のトランジスタの入力電極は前記論理切換信号の反転した信号が与えられ、前記第7および前記第9のトランジスタの各入力電極はそれぞれ前記論理

信号入力端子に接続されていることを特徴とする特許請求範囲第1項に記載のNAND-NOR論理変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はNAND-NOR 論理変換回路に関する。

〔従来の技術〕

従来の3入力のNAND-NOR論理変換回路を第5図示す。

負荷素子19, MOSトランジスタ11, 12及び13で構成される3入力NAND回路の出力端子101は、MOSトランジスタ14のドレイン110に接続されている。MOSトランジスタ11のゲート102は、第1の論理入力信号、入力端子IN1に接続され、ソース103はMOSトランジスタ12のドレイン104に接続されている。MOSトランジスタ12のゲート105は第2の論理入力信号入力端子IN2に接続され、ソース106はMOSトランジスタ13のドレイン107

- 3 -

論理変換回路の出力端子OUTに接続されている。

次に第5図を用いて従来のNAND-NOR論理変換回路の動作を説明する。第1, 第2, 及び第3の論理入力信号端子IN1, IN2及び、IN3には論理入力信号が印加され、論理切換信号入力端子φには、NAND-NORの論理切換信号が印加される。ここで負荷素子19, MOSトランジスタ11, 12及び13で構成される3入力NAND回路の出力端子であるMOSトランジスタ14のドレイン110には、論理入力信号の組合せに対してNANDの論理がとられた出力電圧が、発生し、負荷素子21, MOSトランジスタ16, 17及び18で構成される3入力NOR回路の出力端子であるMOSトランジスタ15のドレイン114には、論理入力信号の組合せに対してNORの論理がとられた出力電圧が発生する。

ここで論理切換信号入力端子φに印加される論理切換信号が、高電位の場合はMOSトランジスタ15は導通状態となり、インバータ20の出力端子132に発生する電位は接地電位となるため

に接続されている。MOSトランジスタ13のゲート108は第3の論理入力信号入力端子IN3に接続され、ソース109は接地されている。

MOSトランジスタ14のゲート111は、論理切換信号φが入力されるインバータ20の出力と接続されている。一方、負荷素子21, MOSトランジスタ16, 17及び18で構成される3入力NOR回路の出力端子123はMOSトランジスタ15のドレイン114に接続されている。MOSトランジスタ16のゲート116は、第1の論理入力信号入力端子IN1と接続され、ソース117は接地されている。同様にMOSトランジスタ17のゲート119は、第2の論理入力信号入力端子IN2と接続され、ソース120は接地されている。

同様にMOSトランジスタ18のゲート122は第3の論理入力信号入力端子IN3に接続され、ソース123は接地されている。MOSトランジスタ14のソース112とMOSトランジスタ15のソース115は共通接続されて本NAND-NOR

- 4 -

MOSトランジスタ14は非導通状態となり、本NAND-NOR論理変換回路の論理出力端子OUTには、論理入力信号の組合せに対してNORの論理がとられた出力電圧が伝達される。逆に第4の入力信号IN4に印加される論理切換信号が接地電位の場合MOSトランジスタ15が非導通となるが、インバータ20の出力端子132に発生する電位は、高電位となるためMOSトランジスタ14は導通状態となり本NAND-NOR論理変換回路の論理出力端子OUTには論理入力信号の組合せに対してNANDの論理がとられた出力電圧が伝達される。

〔発明が解決しようとする問題点〕

以上説明した様に、従来のNAND-NOR論理変換回路では、NAND回路とNOR回路が、独立に構成されており、回路を構成する素子数は少なくとも論理入力信号数の2倍に“6”を加えた素子数を必要とし、その為にチップサイズの増加を招くという欠点を持っていた。近年のMOSFET集積回路の発達に伴ない、コスト低減の点からテ

- 5 -

- 6 -

ップサイズの縮小が望まれており、MOSFET を構成要素とする NAND-NOR 論理変換回路においても素子数の少ない回路が望まれている。

本発明はかかる背景のもとになされたもので従来回路よりも、回路素子数の少なくなる様に構成された NAND-NOR 論理変換回路を提供することを目的としている。

〔問題点を解決するための手段〕

本発明による NAND-NOR 論理変換回路は、複数の論理入力信号に対する複数の入力端子と 1 つの論理切換信号に対する入力端子と、1 つの論理出力信号端子を有し、論理切換信号の状態により論理入力信号の組合せに対する NAND 論理と NOR 論理の結果を切換えて出力する回路において、複数の論理入力信号のそれぞれに対する入力回路素子を NAND 部と NOR 部で共用することを特徴としている。

又は本発明による NAND-NOR 論理変換回路は、負荷素子の一方の端は電源に接続され、他の端は第 1 の MOS トランジスタのドレイン及び第 2 の

- 7 -

れ、第 7 の MOS トランジスタのゲートは論理切換信号入力端子と接続され、ソースは第 8 の MOS トランジスタのソース及び第 9 の MOS トランジスタのドレインと接続され、第 9 の MOS トランジスタのゲートは第 4 の論理入力信号入力端子と接続され、ソースは接地され、第 6 の MOS トランジスタのゲートは、第 5 の論理入力信号入力端子と接続されソースは第 8 の MOS トランジスタのドレイン及び第 10 の MOS トランジスタのドレインと接続され、第 10 の MOS トランジスタのゲートは論理切換信号入力端子と接続され、ソースは接地され、第 8 の MOS トランジスタのゲートは、論理切換信号のインバータ出力と接続されていることを特徴としている。

〔実施例〕

以下、図面に基づいて本発明をより詳しく説明する。

第 1 図に本発明による第 1 の実施例として 3 入力 NAND-NOR 論理変換回路を示す。入力と出力は従来例と同様と同じ記号としている。負荷素

- 9 -

MOS トランジスタのドレインに接続されると共に本 NAND-NOR 論理変換回路の論理出力端子に接続され、第 1 の MOS トランジスタのゲートは論理切換信号の入力端子と接続され、ソースは第 3 の MOS トランジスタのドレイン及び第 4 の MOS トランジスタのドレインに接続され、第 2 の MOS トランジスタのゲートは第 1 の論理入力信号入力端子と接続され、ソースは第 5 の MOS トランジスタのドレイン及び第 3 の MOS トランジスタのソースに接続され、第 3 及び第 4 の MOS トランジスタのゲートは各々第 2 及び第 3 の論理入力信号入力端子と接続され、第 4 の MOS トランジスタのソースは接地され、第 5 の MOS トランジスタのゲートは、論理切換信号入力端子と接続され、ソースは接地されていることを特徴としている。又は、本発明による論理変換回路は負荷素子の一方の端は、電源に接続され、他の端は、第 6 の MOS トランジスタのドレイン及び第 7 の MOS トランジスタのドレインに接続されると共に本 NAND-NOR 論理変換回路の論理出力端子に接続さ

- 8 -

子 22 の一方の端は電源 V_{cc} に接続され、他の端は MOS トランジスタ 23 のドレイン 201 及び MOS トランジスタ 24 のドレイン 213 に接続されると共に本 NAND-NOR 論理変換回路の論理出力端子 OUT に接続されている。MOS トランジスタ 23 のゲート 202 は、論理切換信号入力端子 ϕ と接続されソース 203 は MOS トランジスタ 26 のドレイン 204 及び MOS トランジスタ 27 のドレイン 210 に接続されている。MOS トランジスタ 24 のゲート 211 は第 1 の論理入力信号入力端子 IN1 と接続され、ソース 212 は MOS トランジスタ 25 のドレイン 207 及び MOS トランジスタ 26 のソース 206 に接続されている。MOS トランジスタ 26 のゲート 205 は第 2 の論理入力信号入力端子 IN2 に接続されている。MOS トランジスタ 27 のゲート 208 は第 3 の論理入力信号端子 IN3 に接続され、ソース 209 は接地されている。MOS トランジスタ 25 のゲート 214 は論理切換信号入力端子 ϕ と接続され、ソース 215 は接地されてい

- 10 -

る。

次に第1図を用いて第1の実施例のNOR・NAND論理変換回路の動作を説明する。第1, 第2及び第3の論理入力信号入力端子 IN_1 , IN_2 , 及び IN_3 には、論理入力信号が印加され、論理切換信号入力端子 ϕ には、NAND-NORの論理切換信号が、印加される。ここで、論理切換信号入力端子 ϕ に印加される論理切換入力信号が高電位の場合は、MOSトランジスタ23及び25は導通状態となり、MOSトランジスタ23及び25の電流能力 g_m を大きく設定しておくことにより、本NAND-NOR論理変換回路は、負荷素子22, MOSトランジスタ24, 26, 27で構成される入力NOR回路と等価となり、出力端子OUTには、論理入力信号の組合せに対して、NORの論理がとられた出力電圧が伝達される。逆に論理切換入力信号が、接地電位の場合、MOSトランジスタ23, 25が非導通となり、負荷素子22, MOSトランジスタ24, 26, 27で構成される3入力NAND回路と等価となり、出力端子OUT

-11-

ドレイン415と接続されている。MOSトランジスタ42のゲート417は、論理切換入力信号端子 ϕ と接続され、ソース416は接地されている。MOSトランジスタ43のゲート411はインバータ46の出力端子408と接続されている。

次に、第2図を用いて、この第2実施例の2入力NAND-NOR論理変換回路の動作を説明する。第1, 第2の論理信号入力端子 IN_1 , IN_2 には、論理入力信号が印加され、論理切換信号入力端子 ϕ には、NAND-NORの論理切換信号が印加される。ここで、論理切換信号が高電位の場合は、MOSトランジスタ42, 45は導通状態となりインバータ46の出力端子408に発生する電位は接地電位となり、MOSトランジスタ43は非導通状態となる。その為MOSトランジスタ42の電流能力 g_m を大きく設定しておくことにより、本2入力NAND-NOR論理変換回路は、負荷素子40, MOSトランジスタ44, 41で構成される2入力NOR回路と等価となり出力端子OUTには論理入力信号の組合せに対してNORの論理がとら

-13-

には、論理入力信号の組合せに対してNANDの論理がとられた出力電圧が伝達される。

第2図に本発明を用いた第2の実施例として2入力NAND-NOR論理変換回路を示す。負荷素子40の一方の端は電源 V_{cc} に接続され、他の端はMOSトランジスタ44のドレイン412及びMOSトランジスタ45のドレイン401に接続されると共に本NAND-NOR論理変換回路の論理出力端子OUTに接続されている。MOSトランジスタ45のゲート403は、論理切換入力信号端子 ϕ と接続されると共にインバータ46の入力端子407と接続され、ソース402はMOSトランジスタ43のソース410及びMOSトランジスタ41のドレイン404と接続されている。MOSトランジスタ41のゲート406は第2の論理入力信号端子 IN_2 と接続され、ソース405は、接地されている。MOSトランジスタ44のゲート414は第1の論理入力信号端子 IN_1 と接続され、ソース413はMOSトランジスタ43のドレイン409及びMOSトランジスタ42の

-12-

れた出力電圧が伝達される。逆に、論理切換信号が接地電位の場合、MOSトランジスタ42, 45は、非導通状態となり、インバータ46の出力端子408に発生する電位は、高電位となり、MOSトランジスタ43は導通状態となる。その為MOSトランジスタ43の電流能力 g_m を大きく設定しておくことにより、本2入力NAND-NOR論理変換回路は、負荷素子40とMOSトランジスタ44, 41で構成される2入力NAND回路と等価となり、出力端子OUTには論理入力信号の組合せに対してNANDの論理がとられた出力電圧が伝達される。

以上、第1及び第2の実施例においては、入力回路素子をNAND部とNOR部で共用しているため従来に較べ少ない素子数で所要の論理機能を実現しており、従ってチップサイズの小さいNAND-NOR論理変換回路が実現できる。

第3図に本発明を用いた第3の実施例として $2n+1$ 入力($n \geq 2$)のNAND-NOR論理変換回路を示す。基本回路100は第1図に示した本発明

-14-

を用いた3入力のNAND-NOR論理変換回路であるが、MOSトランジスタ27のソース209は接地されていない。基本回路101は端子A, B, C, Dの4端子をもちMOSトランジスタ50のドレイン501は端子C及びMOSトランジスタ52のドレイン507及びMOSトランジスタ53のソース508と接続され、ソース503は端子B及びMOSトランジスタ51のドレイン504と接続されている。MOSトランジスタ51のソース506は、MOSトランジスタ52のソース509、及び端子Dと接続され、ゲート505は論理切換信号入力端子 ϕ と接続されている。MOSトランジスタ53のゲート509は論理切換信号入力端子 ϕ と接続され、ドレイジ510は、端子Aと接続されている。MOSトランジスタ50及び、MOSトランジスタ52のゲートには、第4及び第5の論理入力信号端子が接続されている。又、 i 個目の端子C及びDに $i+1$ 個目の端子A, Bがそれぞれ接続された n 個の基本回路101(i は1から n まで整数)の1個目の基本回路101

-15-

作は自明であり詳細は省く。

〔発明の効果〕

このように、本発明によるNAND-NOR論理変換回路では、論理入力信号が奇数の場合でも、偶数の場合でも、従来回数と比べて素子数が少なく簡単な回路を得ることができる。

以上NチャンネルMOSFETを使用したNAND-NOR論理変換回路を例にとって説明して来たが、PチャンネルMOSFETを使用する場合においてもあるいはCMOS構成の場合でも本発明の効果が発揮されるものである事は、明らかである。

4. 図面の簡単な説明

第1図は、本発明による第1の実施例である3入力NAND-NOR論理変換回路の回路図、第2図は、本発明による第2の実施例である2入力NAND-NOR論理変換回路の回路図、第3図は、本発明による第3の実施例である $2n+1$ ($n \geq 2$) 入力NAND-NOR論理変換回路の回路図、第4図は本発明による第4の実施例である $2n$ ($n \geq 2$)

-17-

の端子A, Bはそれぞれ基本回路100のMOSトランジスタ27のドレイン210とソース209とに接続され、 n 個目の基本回路101の端子Dは接地されている。

以上の本発明を用いた第3の実施例である $2n+1$ 入力($n \geq 2$)のNAND-NOR論理変換回路の動作は自明であり詳細は省く。

次に、第4図に本発明を用いた第4の実施例として $2n$ 入力($n \geq 2$)のNAND-NOR論理変換回路を示す。基本回路102は第2図に示した本発明を用いた2入力のNAND-NOR論理変換回路であるがMOSトランジスタ41のソース405は、接地されていない。第3図の実施例で、用いた基本回路101を n 個連結させた回路1個目の基本回路101の端子A, Bはそれぞれ基本回路102のMOSトランジスタ41のドレイン404とソース405とに接続され、 n 個目の基本回路101の端子Gは接地されている。

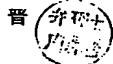
以上の本発明を用いた第4の実施例である $2n$ 入力($n \geq 2$)のNAND-NOR論理変換回路の動

-16-

入力NAND-NOR論理変換回路の回路図、第5図は従来例を示す3入力NAND-NOR論理変換回路の回路図である。

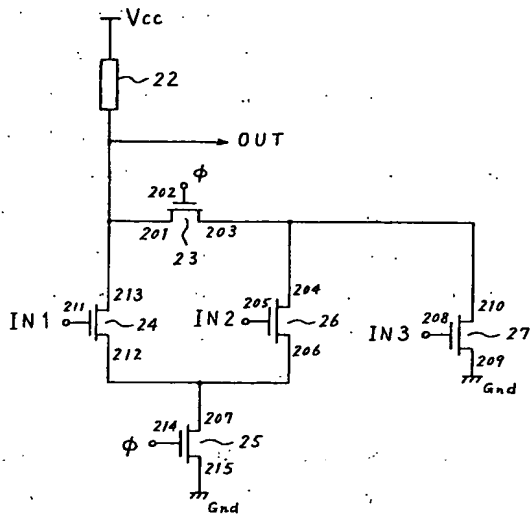
IN1, IN2, IN3 ……論理入力信号端子、 ϕ ……論理切換入力信号端子、OUT ……出力信号端子、19, 21, 22, 40 ……負荷素子、20, 46 ……インバータ、11, 12, 13, 14, 15, 16, 17, 18, 23, 24, 25, 26, 27, 41, 42, 43, 44, 45, 50, 51, 52, ……MOSトランジスタ。

代理人 井理士 内 原 晋

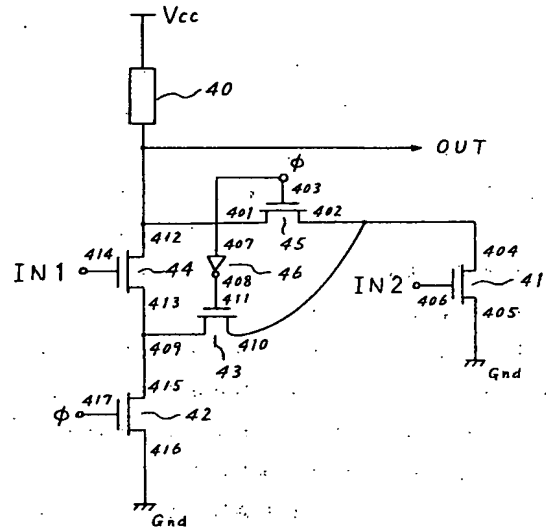


-18-

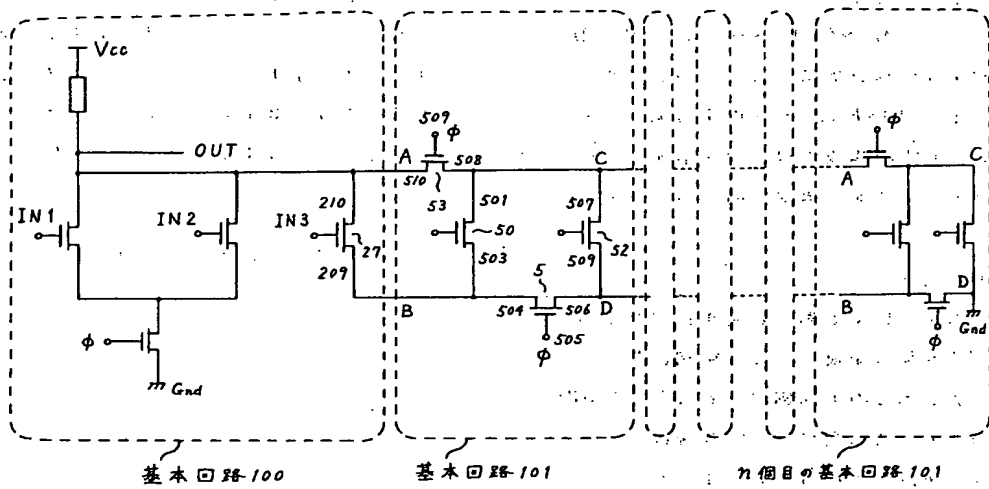
第1図



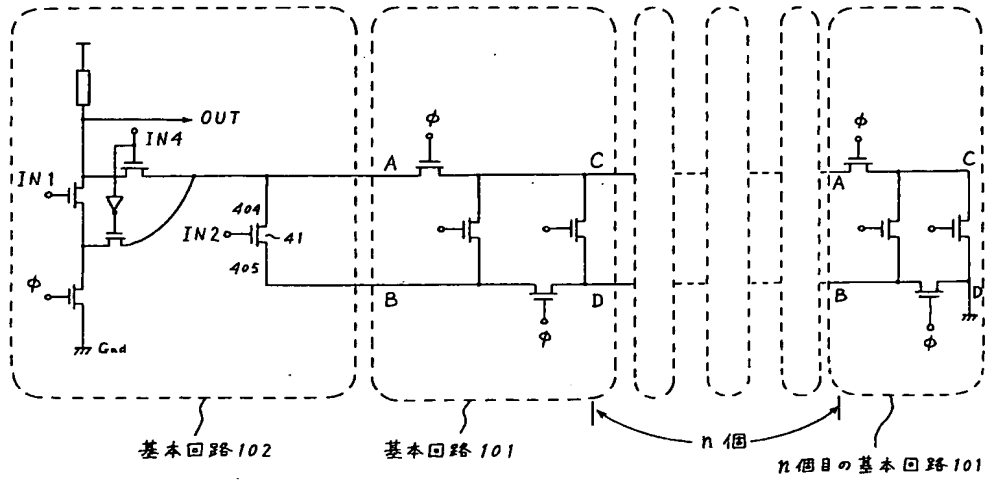
第2図



第3図



第 4 図



第 5 図

